

09/13/2002 10/020,813

59/3,AB/1 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

03472130
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 03-135030 [JP 3135030 A]
PUBLISHED: June 10, 1991 (19910610)
INVENTOR(s): SUGII TOSHIHIRO
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 01-273969 [JP 89273969]
FILED: October 20, 1989 (19891020)
JOURNAL: Section: E, Section No. 1107, Vol. 15, No. 348, Pg. 130,
September 04, 1991 (19910904)

ABSTRACT

PURPOSE: To increase a current gain by a method wherein, while an emitter region utilizing a polycrystalline silicon region is being adopted, a recombination current is reduced.

CONSTITUTION: An emitter region 1 has a polycrystalline Si region 1a doped with fluorine and a single-crystal Si region; a single-crystal base region 2 is arranged so as to be adjacent to the region 1; a p-n junction 3 between an emitter and a base is formed between them; a collector region 4 is arranged on the other side of the region 2. In this case, fluorine is added in a process to form the emitter region 1a of polycrystalline Si; after that, it is arranged that the added fluorine does not escape to the outside of a semiconductor. Thereby, the fluorine terminates free bands of polycrystalline Si to reduce the number of free bonds. Consequently, a recombination current is reduced and a current gain can be increased.

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平3-135030

⑬ Int. Cl. 5 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)6月10日
H 01 L 21/331 29/73 8225-5F H 01 L 29/72
審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平1-273969
⑰ 出 願 平1(1989)10月20日

⑱ 発明者 杉井 寿博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑳ 代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1). 第1導電型のシリコンで形成されたコレクタ領域(4)と、

第1導電型の反対である第2導電型のシリコンで形成され、該コレクタ領域(4)に隣接して配置されたベース領域(2)と、

多量に弗素を添加された第1導電型の多結晶シリコンで形成された領域(1a)を含み、該ベース領域(2)に隣接して配置されたエミッタ領域(1)と
を有する半導体装置。

(2). 半導体基板内にコレクタ領域(4)、ベース領域(2)を形成する工程と、

該ベース領域(2)上に多量に弗素を添加した第1導電型の多結晶シリコン領域(1a)を形成する工程と、

該多結晶シリコン領域(1a)中の第1導電型の不純物が該ベース領域(2)内に拡散して第1導電型領域を作成し、かつ弗素が多量に該多結晶シリコン領域(1a)に残る温度と時間の熱処理を行う工程と
を有する半導体装置の製造方法。

3. 発明の詳細な説明

[概要]

エミッタ領域に多結晶シリコン(Si)を用いたバイポーラトランジスタを含む半導体装置およびその製造方法に関し、

多結晶シリコン領域を利用したエミッタ領域を有し、かつ電流利得を大きくすることのできるバイポーラトランジスタを含む半導体装置を提供することを目的とし、

第1導電型のシリコンで形成されたコレクタ領域と、第1導電型の反対である第2導電型のシリコンで形成され、該コレクタ領域に隣接して配置されたベース領域と、多量に弗素を添加された第

1導電型の多結晶シリコンで形成された領域を含み、該ベース領域に隣接して配置されたエミッタ領域とを有するように構成する。

[産業上の利用分野]

本発明は半導体装置およびその製造方法に関し、特に、エミッタ領域に多結晶シリコン(Si)を用いたバイポーラトランジスタを含む半導体装置およびその製造方法に関する。

半導体装置において、多結晶シリコンを導電体ないし不純物拡散源として利用する技術の開発が進んでいる。

多結晶シリコンは、基板のシリコンと同じ材料であるため、熱膨脹係数等物性的なじみが非常に良く、シリコン結晶に対するプロセスの多くがそのまま利用できる等の利点を有する。

しかし、多結晶であるためシリコン結晶と異なる点もある。

なお、本明細書で「多結晶シリコン」とは、いわゆるアモルファスシリコン、マイクロクリスタ

ルシリコン等を含むものとする。

[従来の技術]

集積回路装置の集積度の向上と共に、集積回路装置内のトランジスタには小型化、高速化が要求されている。

小さなエミッタ領域とベース領域を作る1つの方法として、多結晶シリコンの引出し領域を利用する方法がある。

第4図に従来の技術による多結晶シリコンを利用したバイポーラトランジスタの構造を概略的に示す。p型基板にn-p-nバイポーラトランジスタが形成される場合である。

p型基板5-1の表面に高不純物濃度のn型埋込み領域5-2が形成され、その上に低不純物濃度のn型エピタキシャル層5-3が形成される。n型エピタキシャル層5-3の表面には酸化シリコン膜5-4が形成され、ベース領域を形成すべき部分に開口が設けられる。

この開口をからn型エピタキシャル層5-3中に

イオン注入を行い、p型ベース領域5-6が作成される。このp型ベース領域5-6は小さな寸法のものとし、この上にp型不純物を多量にドープした多結晶シリコン層5-7が形成され、単結晶p型ベース領域5-6と電気的にコンタクトされる。

このベース引出し領域となる多結晶シリコン層5-7の上に酸化膜6-1が形成される。多結晶シリコン層5-7と酸化膜6-1にエミッタ領域に対応する開口を形成し、その側壁を酸化膜で覆う。残った開口部がエミッタ領域となる領域である。

この開口部を覆ってn型不純物を多量にドープした多結晶シリコン層6-2を形成し、パターニングする。

基板を約1000°Cで10数秒熱処理をすると、n型多結晶シリコン層6-2内の不純物がp型ベース領域5-6の表面部分へ少し拡散してn型領域6-3を形成する。この単結晶n型領域6-3と多結晶n型領域6-2とがバイポーラトランジスタのエミッタ領域を形成する。このようにして、小さなベース領域5-6を有するバイポーラトランジスタ構

造が形成される。

[発明が解決しようとする課題]

単結晶領域の上に多結晶領域を形成すると、その多結晶領域中および単結晶と多結晶との界面には多くの結晶粒界が生じる。結晶粒界には未結合手(ダングリングボンド)が存在する。これらの未結合手は電気的には再結合中心として働く。

第4図に示すように、単結晶エミッタ領域6-3と多結晶エミッタ領域6-2とを合わせてn型エミッタ領域として用いると、p型ベース領域5-6から注入された正孔が単結晶領域6-3と多結晶領域の界面および多結晶領域6-2内で再結合する確率が高くなる。すなわち、エミッタ・ベース間に再結合電流I_{rec}が流れてしまう。

エミッタ注入効率 α は再結合電流I_{rec}に反比例する($\alpha \propto 1/I_{rec}$)ので、再結合電流が高くなるとエミッタ注入効率は低くなる。このため電流増幅率 β ($=\alpha/[1-\alpha]$)の値が大きくならない。

たとえば、高速動作するバイポーラトランジスタを作成するため、ベース領域を高濃度にすると、電流利得は高くしにくくなる。さらに、エミッタ領域を上述のように多結晶シリコンを用いて作成すると、電流利得として50～100の数値が望ましいのに、30位しか得られないという状況が生じる。

本発明の目的は、多結晶シリコン領域を利用したエミッタ領域を有し、かつ電流利得を大きくすることのできるバイポーラトランジスタを含む半導体装置を提供することである。

本発明の他の目的は、この半導体装置を製造する方法を提供することである。

[課題を解決するための手段]

本発明によれば、多結晶シリコン領域を利用したエミッタ領域を採用しつつ、再結合電流を低減させることによって、電流利得を大きくすることを可能にする。

第1図は本発明の原理説明図である。エミッタ

リコン領域中あるいは多結晶シリコン領域と単結晶シリコン領域との界面に存在する未結合手の数は、弗業の添加によって減少し、再結合電流が減少する。このため、電流利得を向上することができる。

[実施例]

以下、図面を参照して本発明の実施例を説明する。第2図(A)～(E)は本発明の実施例による半導体装置およびその半導体装置の製造方法を示す。第2図(A)～(E)は半導体装置を製造する幾つかの工程を示す半導体チップの部分断面図であり、第2図(E)は半導体装置の断面図である。

まず、通常のバイポーラトランジスタ集積回路装置の製造の場合と同様に、p型シリコン基板の上にn型埋込み領域を形成し、その上にn型エピタキシャル層を成長する。各トランジスタを形成すべき領域を分離し、n型埋込み領域に到達するコレクタ取出し領域を作成する。

領域1は弗業を添加した多結晶シリコン領域1aと単結晶のシリコン領域1bを有する。このエミッタ領域1に隣接して単結晶のベース領域2が配置され、その間にエミッタ・ベース間pn接合3を形成する。また、ベース領域2の他の側にはコレクタ領域4が配置される。

なお、エミッタ領域はその全体が弗業を添加した多結晶シリコン領域1aで形成されてもよい。

このような半導体装置を製造するには、多結晶シリコンのエミッタ領域1aを作成する工程において、弗業を添加し、その後添加した弗業が半導体外に逃散しないようにする。

[作用]

多結晶シリコン領域内および多結晶シリコンと単結晶シリコンとの界面においては、多くの未結合手が存在するが、弗業は結合手が1であり、未結合手が存在するとそれと結合する。すなわち、弗業は多結晶シリコンの未結合手をターミネイトして未結合手の数を低減する。従って、多結晶シリ

第2図(A)はこのように準備されたシリコン基板内のトランジスタ領域にp型ベース領域をイオン注入によって作成する工程を示す。エピタキシャル層であるn型シリコン領域11の表面には酸化膜12が形成され、ベース領域を形成すべき部分にベース開口13が形成されている。この表面からシリコン領域11内へp型不純物をイオン注入する。このようにしてp型不純物が注入されたp型ベース領域14が形成される。

次に、第2図(B)に示すように、表面上にp型不純物を多量にドープした厚さ約0.2～0.3μmの多結晶シリコン層15を作成し、さらにその上に厚さ約0.3μmの酸化膜16を形成する。エミッタ領域を作成すべき部分をバターニングして開口を形成した後、開口の側部に酸化膜を形成して多結晶シリコン層15の表面を覆う。個々酸化物に囲まれたp型ベース領域14の1部が露出され、エミッタ領域を画定する。

p型多結晶シリコン層15はp型ベース領域14とオーミックにコンタクトし、ベース引出し電

層を構成する。

次に、第2図(C)に示すように、表面にn型不純物と弗素を多量にドープした多結晶シリコン層21を形成する。たとえば、ソースガスとしてSiH₄を約5cc/min、弗素添加用ガスとしてSiH₂F₂を約5cc/min、n型ドーパントとしてAsH₃を約0.05cc/min、キャリアガスとしてH₂を約5cc/min混合したものを用いる。この混合ガスを用い、基板を約700°Cに加熱し、ソースガスを熱分解して堆積を生じさせるCVDにより多結晶シリコン層を約200nm堆積する。この条件の場合、堆積した多結晶シリコン層内には、n型不純物のAsと共に、弗素が約10²⁰cm⁻³程度取り込まれる。未結合手はこれ程多くは存在しないと考えられるが、添加した弗素が全て未結合手のターミネイトに有効なわけではないので、少なくとも10¹⁹cm⁻³以上の弗素を添加することが望ましく、好ましくは約10²⁰cm⁻³程度の弗素を添加する。

第2図(D)に示すように、N₂雰囲気中で基

品シリコン層を形成した後の熱処理は、多結晶層内の弗素を所定量以上残すようにその温度および時間を選択する。未結合の弗素原子が多結晶シリコン層中に残留してもよい。

ベース領域14からエミッタ領域22、21aへ注入する正孔の拡散長はミクロンオーダーであるので、単結晶エミッタ領域22のみでなく、多結晶エミッタ領域21aの性質も反映して再結合が生じる。多量に添加した弗素によって多結晶シリコンエピタキシャル層21a内の未結合手がターミネイトされているので、再結合確率は減少し、高いエミッタ注入効率を得ることが可能となる。たとえば、従来 $\alpha = 0.97$ 程度であったのが、弗素を添加することによって $\alpha = 0.99$ 程度に改良することができる。

第3図は本発明の他の実施例によるバイポーラトランジスタを有する半導体装置を示す断面図である。p型シリコン基板26の表面に高濃度のn型埋込み領域27が形成され、その上に低不純物濃度のn型エピタキシャル層11が形成されてい

板を約1000°Cで約30秒間加熱し、熱処理を行って、多結晶シリコン中のn型不純物であるAsを基板間に少しだけ拡散して単結晶エミッタ領域22を形成する。たとえば、単結晶エミッタ領域22は約500Å以下の深さと、約0.5μm程度の幅を有する。なお、単結晶ベース領域14は、たとえば2000Å位の深さを有する。

次に、第2図(E)に示すように、酸化膜16に開口を設け、多結晶エミッタ領域21a、多結晶ベース引出し領域15、n型コレクタ取出し領域28の上に、たとえば厚さ約0.5~0.7μmのアルミニウムのエミッタ電極23、ベース電極24、コレクタ電極25をそれぞれ形成する。このようにして、ベースとエミッタに多結晶シリコン領域からなる電極取出し領域を備えたバイポーラトランジスタが形成される。

なお、弗素を添加した多結晶シリコン層を形成する際、弗素添加用ガスとしてSiH₂F₂を用いたが、たとえばF₂のような他の弗素を含むガスを用いてもよい。また、弗素を添加したn型多結

品シリコン層を形成した後の熱処理は、多結晶層内の弗素を所定量以上残すようにその温度および時間を選択する。未結合の弗素原子が多結晶シリコン層中に残留してもよい。

また、表面からn型埋込み領域27に到達するn型コレクタ取出し領域28が形成されている。コレクタ領域となるn型エピタキシャル領域11内に、p型ベース領域14が形成される。このp型ベース領域の1部が露出され、その上に弗素を添加したn型多結晶シリコン領域21aが形成され、このn型多結晶領域からの拡散によって単結晶のn型エミッタ領域22が形成される。弗素を添加したn型多結晶シリコン領域21a、p型ベース領域14、n型コレクタ取出し領域28の表面が露出され、その上にアルミニウムのエミッタ電極23、ベース電極24、コレクタ電極25が形成される。

ここで、アルミニウムのベース電極24は単結晶のp型ベース領域14に直接オーム接続して接続している。従って、ベース電極24から注入される正孔は、単結晶p型ベース領域14を通じて単結晶n型エミッタ領域22に入る。

多結晶シリコンエミッタ領域21a内には弗素が添加されているので、未結合手がターミネイト

されており、単結晶エミッタ領域22から入ってくる正孔をトラップする事が少なく、前述と同様にエミッタ効率を高くする事ができる。

以上実施例に沿って説明したが、本発明はこれら実施例に制限されるものではない。たとえば、種々の置換、変更、改良、組み合わせが可能なことは当業者に自明であろう。

たとえば、不純物の種類を変更すると、導電型を反転してpnpバイポーラトランジスタを構成すること等が可能である。

[発明の効果]

以上説明したように、本発明によれば、多結晶シリコン領域内の未結合ホガが弗素によってターミネイトされるので、多結晶シリコン領域内の再結合電流が減少し、エミッタ注入効率を高めた半導体装置を提供することができる。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

- 22 単結晶エミッタ領域
- 26 p型シリコン基板
- 27 n型埋込み領域
- 28 n型コレクタ取出し領域

特許出願人 富士通株式会社
代理人 井桁貞二、井原義一、井原義二
2名



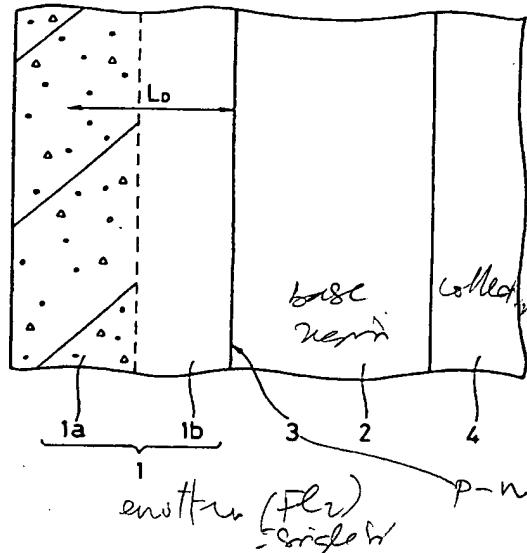
第2図(A)～(E)は本発明の実施例による半導体装置の製造方法を示す断面図、

第3図は本発明の他の実施例による半導体装置を示す断面図、

第4図は従来の技術による半導体装置を示す断面図である。

図において、

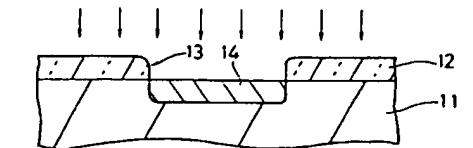
1	エミッタ領域
1a	弗素添加多結晶シリコン領域
1b	単結晶シリコン領域
2	ベース領域
3	p-n接合
4	コレクタ領域
11	n型シリコン領域
12、16	酸化膜
13	ベース開口
14	p型ベース領域
15	p型多結晶シリコン層
21	弗素添加n型多結晶シリコン層



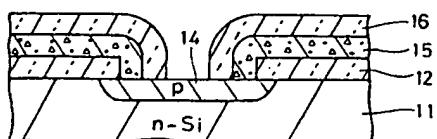
1 : エミッタ領域	2 : ベース領域
1a : F添加ポリSi領域	3 : p-n接合
1b : 単結晶Si領域	4 : コレクタ領域

本発明の原理説明図

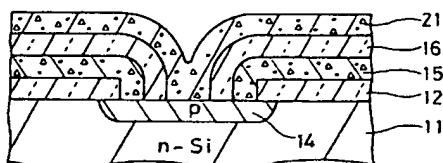
第1図



(A) イオン注入によるベース形成



(B) ベース引出し用 p型ポリSi層形成

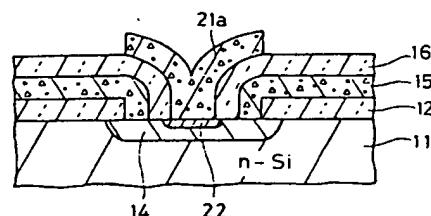


(C) エミッタ形成用F添加n型ポリSi層形成

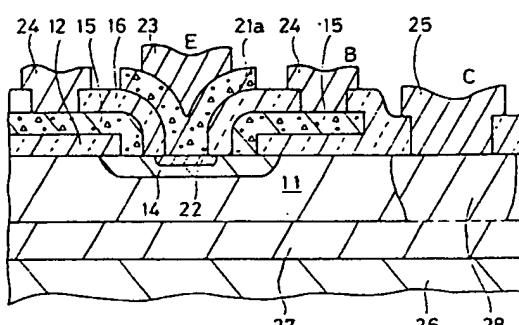
11 : n-Si領域	14 : p型ベース領域
12, 16 : 優化膜	15 : p型ポリSi層
13 : ベース開口	21 : F添加n型ポリSi層

実施例による半導体装置の製造方法

第2図(その1)



(D) エミッタ領域拡散

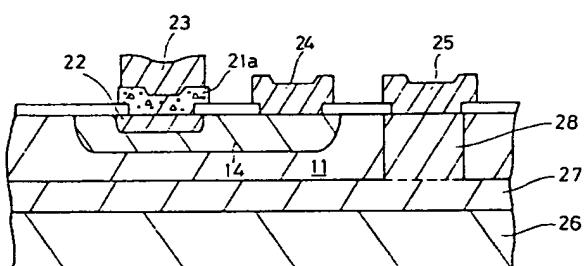


(E) 金属電極形成

23 : エミッタ電極	26 : p型Si基板
24 : ベース電極	27 : n型埋込み領域
25 : コレクタ電極	28 : n型コレクタ取出し領域

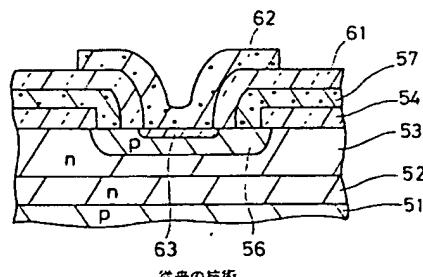
実施例による半導体装置の製造方法

第2図(その2)



本発明の他の実施例

第3図



従来の技術

第4図